

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-290235

(43)Date of publication of application : 22.11.1989

(51)Int.Cl.

H01L 21/76

(21)Application number : 63-121595

(71)Applicant : IWATSU ELECTRIC CO LTD

(22)Date of filing : 17.05.1988

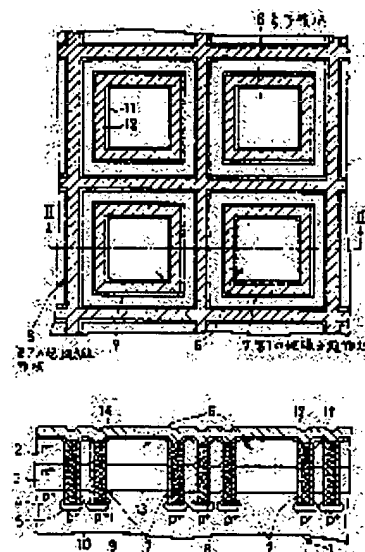
(72)Inventor : WATANABE SUMIO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To improve a device in an element isolation strength by a method wherein insulating isolation regions are provided surrounding side faces of an element region multiply and a p-n junction isolation region is provided to the underside of the element region.

CONSTITUTION: Side faces of two or more element regions 6 are circularly surrounded by a first insulating isolation region 7 and a second insulating isolation region 8. The first insulating isolation region 7 is so formed as to surround the element regions 6 separately, and the second insulating isolation region 8 is so arranged in a planar lattice to surround the first insulating isolation region 7. Therefore, the side faces of the element regions 6 are dually surrounded by the first and the second insulating isolation regions 7 and 8. And, a p-n junction isolation region 13 is provided to the underside of the element region 6. By these processes, a device of this design can be improved in an element isolation strength without providing additional processes.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑫ 公開特許公報(A)

平1-290235

⑤Int.Cl.⁴

識別記号

庁内整理番号

⑬公開 平成1年(1989)11月22日

H 01 L 21/76

L-7638-5F

審査請求 未請求 請求項の数 1 (全4頁)

⑭発明の名称 半導体集積回路装置

⑮特 願 昭63-121595

⑯出 願 昭63(1988)5月17日

⑰発 明 者 渡 辺 純 夫 東京都杉並区久我山1丁目7番41号 岩崎通信機株式会社
内

⑱出 願 人 岩崎通信機株式会社 東京都杉並区久我山1丁目7番41号

⑲代 理 人 弁理士 高野 則次

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

[1] 半導体基板の素子領域の側面が絶縁分離領域によって多重に囲まれ、前記素子領域の下側にp-n接合分離領域が設けられていることを特徴とする半導体集積回路装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、素子相互間を電気的に分離する絶縁分離領域を有する半導体集積回路装置に関するものである。

[従来の技術]

半導体集積回路装置の素子領域の側面を囲むように多結晶シリコンから成る絶縁分離領域を設け、素子の底面側にp-n接合分離領域を設けることによって素子相互間を電気的に分離することは既に行われている。

[発明が解決しようとする課題]

しかし、従来の絶縁分離領域とp-n接合分離領域との組合わせの素子分離構造では、素子分離耐圧が50V程度であり、大きな耐圧を得ることが困難であった。

そこで、本発明の目的は、高い素子分離耐圧を有する半導体集積回路装置を提供することにある。

[課題を解決するための手段]

上記目的を達成するための本発明は、半導体基板の素子領域の側面が絶縁分離領域によって多重に囲まれ、前記素子領域の下側にp-n接合分離領域が設けられている半導体集積回路装置に係わるものである。

[作用]

素子領域の側面を多重に囲む絶縁分離領域は、素子分離耐圧の向上に寄与する。

[実施例]

次に、本発明の一実施例に係わる半導体集積回路装置を説明する。半導体集積回路装置のシリコン半導体基板1は、n-型半導体領域2と、n+型半導体領域3と、p-型半導体領域4と、チャ

ネル発生防止用 p^+ 型半導体領域5とから成る。複数の素子領域6の側面は第1の絶縁分離領域7と第2の絶縁分離領域8とによって環状に囲まれている。第1及び第2の絶縁分離領域7、8は、 n -型半導体領域2と n^+ 型半導体領域3とを突き抜けて p -型半導体領域4に達するように形成された溝9、10にそれぞれ SiO_2 膜11と多結晶シリコン12とを埋め込んだものから成る。

第1の絶縁分離領域7は個々の素子領域6を独立に囲むように形成され、第2の絶縁分離領域8は平面形状格子状に配置され、第1の絶縁分離領域7を囲んでいる。従って、素子領域6の側面は第1及び第2の絶縁分離領域7、8によって二重に囲まれている。各素子領域6の n -型半導体領域2はトランジスタ等の能動半導体素子を形成する領域である。 n^+ 型半導体領域3はコレクタ埋込層として機能する部分である。 p -型半導体領域4は、 n^+ 型半導体領域3との間の pn 接合13によって素子領域6を pn 接合分離する領域として機能する。第2図は半導体素子形成前の状態

オン注入法で溝9の底部に導入し、 p^+ 型半導体領域5を形成する。次に、 SiO_2 膜15及び NSG 膜16を取り除いた後に第3図(C)に示すように溝9内に熱酸化法で SiO_2 膜11を形成し、更に多結晶シリコン層12を埋込む。

次に、半導体基板1上の多結晶シリコン層をエッチングして表面を平坦化し、その後、表面を熱酸化して第3図(D)に示すように厚い SiO_2 膜14を形成する。しかる後、トランジスタ等の半導体素子(図示せず)を素子領域6中の n -型半導体領域2に形成して半導体集積回路装置を完成させる。なお、第3図に示されていない第2の溝10及び第2の絶縁分離領域8も第1の溝9及び第1の絶縁分離領域7と同様に同時に形成する。

第1図及び第2図に示すように二重に絶縁分離領域7、8を設けた場合の素子領域6相互間の閉圧(素子分離耐圧)は第4図の電圧-電流特性線aに示すように約80Vであった。一方、従来の単一の絶縁分離領域を設けた場合の素子分離耐圧は特性線bに示すように約50Vである。

を示すので、半導体基板1の表面には SiO_2 膜14が設けられている。

第3図(A)~(D)は第1図及び第2図に示す半導体集積回路装置を製造工程順に示す。まず、 p -型半導体領域(p -型半導体基板)4に周知の方法でコレクタ埋込層として働く n^+ 型半導体領域3を設け、この上にシリコンをエピタキシャル成長させることによって n -型半導体領域2を得る。その後、第3図(A)に示すように熱酸化によって SiO_2 膜15を形成し、更に周知のCVD法によって NSG 膜16を形成する。次に、溝8を形成するために、レジスト17を所定パターンに形成し、 NSG 膜16及び SiO_2 膜15をエッチングする。

次に、反応性スパッタエッチング法を用いて NSG 膜16をマスクとして n -型半導体領域2、 n^+ 型半導体領域3及び p -型半導体領域4の一部をエッチングし、第3図(B)に示すように側面がほぼ垂直な溝9を形成する。

次に、チャンネル発生防止の目的で不純物をイ

本実施例においては、第1及び第2の絶縁分離領域7、8が同時に形成されるので、工程を特別に増すことなしに素子分離耐圧を向上させることができる。

[変形例]

本発明は上述の実施例に限定されるものでなく、例えば次の変形が可能なものである。

(1) 第5図に示すように素子領域6のあるものを第1及び第2の絶縁分離領域7、8に加えて第3の絶縁分離領域21で囲むようにしてもよい。第3図では複数の素子領域6から選択された4個のみが第1、第2及び第3の絶縁分離領域7、8、21で三重に囲まれているが、全部を三重にしてもよい。

(2) 第6図に示すように各素子領域6を独立した第1及び第2の絶縁分離領域7、8aでそれぞれ囲むようにしてもよい。

(3) 第7図に示すように各素子領域6を独立した第1、第2及び第3の絶縁分離領域7、8a、21aで三重に囲むようにしてもよい。なお、

第5図、第6図及び第7図において斜線を付して示す各絶縁分離領域7、8、8a、21、21aは第1図及び第2図と同一工程で同様に形成されたものであり、 SiO_2 膜と多結晶シリコン層とから成る。

(4) 絶縁分離領域を三重よりも多くすることもできる。

(5) 絶縁分離領域の多結晶シリコン層12を SiO_2 、 Si_3N_4 等の誘電体材料に置き換えることが可能である。

〔発明の効果〕

以上説明したように、本発明によれば半導体集積回路装置の素子分離耐圧を向上させることができる。

4. 図面の簡単な説明

第1図は本発明の一実施例に係わる半導体集積回路装置の素子形成前の状態を半導体基板表面の SiO_2 膜を除去して示す平面図、

第2図は第1図のII-II線に相当する部分を SiO_2 膜のある状態で示す断面図、

第3図は絶縁分離領域の形成方法を工程順に示す断面図、

第4図は実施例及び従来例の素子耐圧を示す特性図、

第5図は絶縁分離領域の変形例を示す平面図、

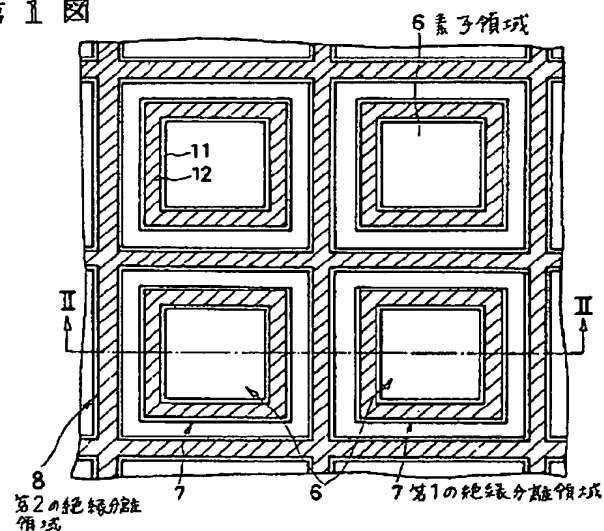
第6図は絶縁分離領域の別の変形例を示す平面図、

第7図は絶縁分離領域の更に別の変形例を示す平面図である。

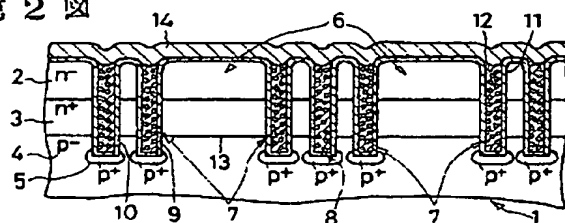
1…半導体基板、5… p^+ 型半導体領域、6…素子領域、7…第1の絶縁分離領域、8…第2の絶縁分離領域、12…多結晶シリコン層、

代理人 高野 則次

第1図

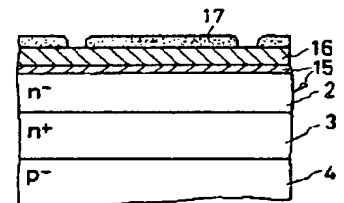


第2図

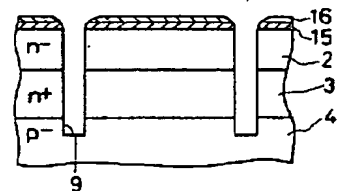


第3図

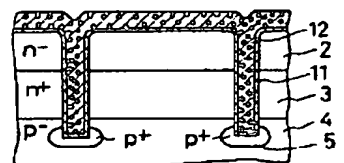
(A)



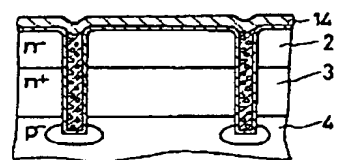
(B)



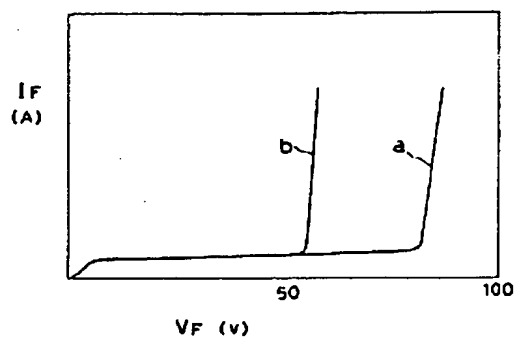
(C)



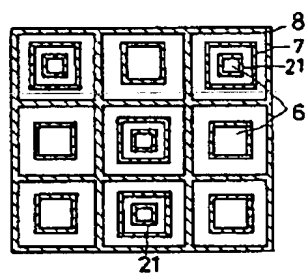
(D)



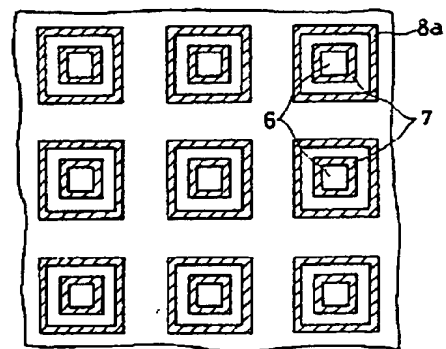
第 4 図



第 5 図



第 6 図



第 7 図

